

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 5月20日

出 願 番 号

Application Number:

特願2003-142196

[ST.10/C]:

[JP 2003-142196]

出 願 人

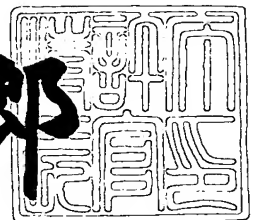
Applicant(s):

セイコーエプソン株式会社

2003年 6月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043205

【書類名】 特許願

【整理番号】 EP-0448701

【提出日】 平成15年 5月20日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 9/02

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 宮原 史明

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 小池 邦夫

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 川口 孝

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 中宮 信二

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2002-201195

【出願日】 平成14年 7月10日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 発振回路、電子機器、時計

【特許請求の範囲】

【請求項 1】 発振源と、前記発振源と信号路を介して接続され発振駆動される主要回路部分とを有する発振回路において、

前記主要回路部分は、

前記発振源と信号路を介して接続されたインバータと、

前記インバータの出力側と入力側との間に接続されたフィードバック抵抗と、

前記信号路の入力端子と前記インバータの入力側との間の信号路を直流的に分離する素子と、

前記信号路の入力端子側と電位の安定した回路部分とを抵抗として機能する素子を介して接続する電位安定化回路と、

を含むことを特徴とする発振回路。

【請求項 2】 請求項 1 において、

前記電位の安定した回路部分は、

定電圧側、基準電位側、前記インバータの入力、出力側、前記発振源の出力側のいずれかであることを特徴とする発振回路。

【請求項 3】 請求項 1 において、

前記電位安定化回路は、

前記信号路の入力端子側と出力端子側とを抵抗として機能する素子を介して接続することを特徴とする発振回路。

【請求項 4】 請求項 3 において、

前記抵抗として機能する素子は、前記フィードバック抵抗との合成抵抗が $10 \sim 100 \text{ M}\Omega$ の範囲の値となるように設定されることを特徴とする発振回路。

【請求項 5】 請求項 1 において、

前記電位安定化回路は、

前記信号路の入力端子側に、抵抗として機能する素子を介してバイアス電圧を印加することを特徴とする発振回路。

【請求項 6】 請求項 1 において、

前記電位安定化回路は、

一端が前記インバータの出力側に接続された前記フィードバック抵抗の他端側を、前記インバータの入力側に代え、前記信号路の入力端子側と接続することにより形成されたことを特徴とする発振回路。

【請求項 7】 請求項 6 において、

前記インバータの入力側に、抵抗として機能する素子を介してバイアス電圧を印加することを特徴とする発振回路。

【請求項 8】 請求項 1 において、

前記電位安定化回路は、

前記信号路を直流的に分離する素子と並列に、抵抗として機能する素子を接続することにより形成されたことを特徴とする発振回路。

【請求項 9】 請求項 8 において、

前記抵抗として機能する素子は、前記フィードバック抵抗より大きな抵抗値に設定されることを特徴とする発振回路。

【請求項 10】 請求項 1～9 のいずれかにおいて、

前記主要回路部分は半導体装置として形成され、前記発振源は前記主要回路部分の信号路の前記入力端子と出力端子にその両端が接続される振動子であることを特徴とする発振回路。

【請求項 11】 請求項 1～10 のいずれかにおいて、

前記抵抗として機能する素子は、ポリシリコンを用いて形成されたことを特徴とする発振回路。

【請求項 12】 請求項 1～11 のいずれかにおいて、

前記信号路を直流的に分離する素子は、半導体基板上に被覆した絶縁層上に、電極層、絶縁層、電極層を被覆して形成された DC カットコンデンサであることを特徴とする発振回路。

【請求項 13】 請求項 1～11 のいずれかにおいて、

前記信号路を直流的に分離する素子は、半導体基板の拡散領域上に絶縁層、電極層を被覆して形成された DC カットコンデンサであり、前記拡散領域を前記イ

ンバータの入力側、前記電極層を前記信号路の入力端子側に接続したことを特徴とする発振回路。

【請求項 1 4】 請求項 1 ～ 1 1 のいずれかにおいて、

前記信号路の入力端子側に静電保護回路を設け、

前記静電保護回路は、前記信号路と所定の定電圧側との間に接続され、信号路に侵入する第 1 の極性の静電圧を直列に接続された複数の第 1 の半導体整流素子を介して選択的に前記定電圧側へバイパスさせる第 1 の保護回路と、

前記信号路と基準電位側との間に接続され、信号路に侵入する第 2 の極性の静電圧を直列に接続された複数の第 2 の半導体整流素子を介して選択的に前記基準電位側へバイパスさせる第 2 の保護回路と、

を含むことを特徴とする発振回路。

【請求項 1 5】 請求項 1 ～ 1 4 のいずれかの発振回路と、前記発振回路の出力に基づいて制御される機能部を有することを特徴とする電子機器。

【請求項 1 6】 請求項 1 ～ 1 4 のいずれかの発振回路と、前記発振回路の出力に基づいて時刻表示をなす時刻表示部を有することを特徴とする時計。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、発振回路、電子機器及び時計に関する。

【0 0 0 2】

【背景技術及び発明が解決しようとする課題】

今日、携帯用の腕時計や電子機器は、主電源として電池や、充電可能な二次電池を用い、電子回路を駆動するものが多い。そして、このようなものに使用される前記電子回路は、発振回路の発振周波数 f_s から基準クロックを作成するものが多い。

【0 0 0 3】

図 1 には、従来の発振回路の一例が示されている。

【0 0 0 4】

同図に示すように、発振回路の主要回路部分 2 0 は、半導体基板上に構成され

ており、この主要回路部分 2 0 は信号回路に設けられた入出力端子 X i n、X o u t を介して水晶振動子 1 0 の両端と接続されている。

【 0 0 0 5 】

前記主要回路部分 2 0 は、振動子 1 0 と信号路を介して接続されるインバータ 2 2 と、インバータ 2 2 の入出力側に接続されたフィードバック抵抗 2 4 とを含んで構成される。

【 0 0 0 6 】

この従来の発振回路では、水晶振動子 1 0 の入力端子 X i n がインバータ 2 2 の入力側と直接接続されていたため、水晶振動子 1 0 の入力端子 X i n の電位が変動すると、電位が変動した波形が直接インバータ 2 2 に入力される。このとき、この入力波形が、インバータ 2 2 のスレッシュホールド電圧と交差しないと、発振回路の発振が停止してしまう。

【 0 0 0 7 】

従って、この従来の発振回路では、水晶振動子 1 0 の入力端子 X i n と電源との間にリークなどが発生し、インバータ 2 2 の入力側電位が変動すると、発振停止という問題や、発振が停止しないまでも発振周波数の大きな変動が引き起こされるという問題があった。

【 0 0 0 8 】

特に、発振回路では、その主要回路部分 2 0 が半導体基板上に構成されており、水晶振動子 1 0 が外付けになるために、その接続部分である入力端子 X i n でリークが発生しやすく、その対策が必要とされる。

【 0 0 0 9 】

図 2 には、リークによる発振停止の対策として D C カットコンデンサ 2 6 を用いた従来の発振回路の一例が示されている。

【 0 0 1 0 】

この従来例では、D C カットコンデンサ 2 6 を、信号路の入力端子 X i n とインバータ 2 2 の入力側との間に接続している。

【 0 0 1 1 】

この D C カットコンデンサ 2 6 により、水晶振動子 1 0 の入力端子 X i n とイ

ンバータ 2 2 の入力側とが直流的に分離される。さらに、インバータ 2 2 に入力される波形は、DC カットコンデンサ 2 6 に充放電された波形である。このため、リーク等により、入力端子 X_{in} の電位に変動があった場合でも、DC カットコンデンサ 2 6 に充放電される波形がインバータ 2 2 のスレッシュホールド電圧と交差するため、発振回路の発振は停止しない。すなわち、水晶振動子 1 0 の入力端子 X_{in} と電源間にリークが発生した場合でも、発振停止等の問題が起きにくく、安定した発振が可能な発振回路を実現できる。

【 0 0 1 2 】

しかし、図 2 に示すように DC コンデンサ 2 6 を信号路の入力端子 X_{in} 側に設けると、水晶振動子 1 0 の入力端子 X_{in} の電位はオープン状態に近く、極めて不安定なものとなる。しかも、水晶振動子 1 0 の入力端子 X_{in} の電位が変動することにより、この入力端子 X_{in} 側に接続されている主要回路部分 2 0 の寄生容量 C_{y1} 、 C_{y2} 、 C_x の各空乏層が変化し、その容量も変化する。

【 0 0 1 3 】

従って、加湿や光等の外乱により水晶振動子 1 0 の入力端子 X_{in} にわずかなリークが生じ、入力端子 X_{in} の電位が変動すると、これに伴い寄生容量が変化してしまう。この結果、発振回路の発振定数が変化して、発振周波数そのものも変化してしまい、この発振周波数を基準クロックとして用いる電子回路各部の動作に悪影響が発生するという問題があった。

【 0 0 1 4 】

特に、従来の発振回路では、DC カットコンデンサ 2 6 を半導体基板上に設けた場合に、これに伴って発生する寄生容量 C_x が入力端子 X_{in} 側に位置するように回路構成されているため、前述した微少なリーク電流の発生に伴い、前記寄生容量 C_x の大きさも変動するため、回路全体としての寄生容量の変動が大きなものとなり、これが発振周波数のより大きな変動を引き起こす原因となるという問題があった。

【 0 0 1 5 】

本発明は、このような課題に鑑みなされたものであり、その目的は、安定して発振することができ、しかも発振周波数の変動の少ない発振回路、電子機器、時

計を実現することにある。

【 0 0 1 6 】

【課題を解決するための手段】

(1) 前記目的を達成するため、本発明は、

発振源と、前記発振源と信号路を介して接続され発振駆動される主要回路部分とを有する発振回路において、

前記主要回路部分は、

前記発振源と信号路を介して接続されたインバータと、

前記インバータの出力側と入力側との間に接続されたフィードバック抵抗と、

前記信号路の入力端子と前記インバータの入力側との間の信号路を直流的に分離する素子と、

前記信号路の入力端子側と電位の安定した回路部分とを抵抗として機能する素子を介して接続する電位安定化回路と、

を含むことを特徴とする。

【 0 0 1 7 】

本発明によれば、信号路の入力端子側は、抵抗として機能する素子を介して、電位の安定した回路部分と接続される。これにより、信号路の入力端子とインバータの入力側との間に信号路を直流的に分離する素子を設けた場合でも、入力端子側の電位が不安定な状態に陥ることがないため、安定した発振を継続することができ、しかも発振周波数が変動することのない発振回路を実現することができる。

【 0 0 1 8 】

ここにおいて、前記信号路を直流的に分離する素子としては、例えばDCカットコンデンサなどを用いればよい。また、前記抵抗として機能する素子としては、例えば抵抗素子、抵抗として機能する半導体素子などを、必要に応じて選択的に使用すればよい。

【 0 0 1 9 】

(2) また、本発明において、前記電位の安定した回路部分としては、

定電圧側、基準電位側、前記インバータの入力、出力側、前記発振源の出力側

のいずれかを用いてもよい。

【 0 0 2 0 】

また、半導体装置内に、本発明の発振回路と、他の回路とが設けられているような場合には、発振回路内における、電位の安定した回路部分以外に、発振回路以外の他の回路の電位の安定した回路部分などを用いてもよい。例えば、他の回路に定電圧を供給する定電圧供給源の電圧出力ラインを、電位の安定した回路部分として用い、これと信号路の入力端子とを、抵抗として機能する素子を介して接続してもよい。

【 0 0 2 1 】

(3) また、前記電位安定化回路は、

前記信号路の入力端子側と出力端子側とを抵抗として機能する素子を介して接続するように構成してもよい。

【 0 0 2 2 】

このとき、前記抵抗として機能する素子は、前記フィードバック抵抗との合成抵抗が $10 \sim 100 \text{ M}\Omega$ の範囲の値となるように設定される。

【 0 0 2 3 】

すなわち、発振回路において通常用いられるフィードバック抵抗の抵抗値は $10 \sim 100 \text{ M}\Omega$ である。従って、電位安定化回路の抵抗として機能する素子と、フィードバック抵抗との合成抵抗を、通常のフィードバック抵抗の抵抗値と整合させるような抵抗値に設定することにより、従来検証された発振回路と同様な安定した発振動作を実現することができる。

【 0 0 2 4 】

(4) また、前記電位安定化回路は、

前記信号路の入力端子側に、抵抗として機能する素子を介してバイアス電圧を印加するように構成してもよい。

【 0 0 2 5 】

このように信号路の入力端子側に、バイアス電圧を印加する構成を採用することにより、入力端子側の電位を安定させ、安定した発振周波数で安定発振可能な発振回路を実現することができる。

【 0 0 2 6 】

ここにおいて、前記バイアス電圧を印加する構成としては、例えば信号路の入力端子側と、所定の定電圧との間を抵抗として機能する素子を介して接続し、さらに信号路の入力端子側と、所定の基準電位側との間を抵抗として機能する素子を介して接続するような構成を採用することができる。

【 0 0 2 7 】

(5) また、前記電位安定化回路は、

一端が前記インバータの出力側に接続された前記フィードバック抵抗の他端側を、前記インバータの入力側に代え、前記信号路の入力端子側と接続することにより形成してもよい。

【 0 0 2 8 】

このとき、前記インバータの入力側に、抵抗として機能する素子を介してバイアス電圧を印加するように構成を採用することが好ましい。

【 0 0 2 9 】

(6) また、前記電位安定化回路は、

前記信号路を直流的に分離する素子と並列に、抵抗として機能する素子を接続することにより形成してもよい。

【 0 0 3 0 】

このとき、前記抵抗として機能する素子は、前記フィードバック抵抗より大きな抵抗値に設定することが好ましい。

【 0 0 3 1 】

(7) また、本発明において、

前記主要回路部分は半導体装置として形成され、前記発振源は前記主要回路部分の信号路の前記入力端子と出力端子にその両端が接続される振動子であるように形成してもよい。

【 0 0 3 2 】

(8) また、本発明の発振回路において、

前記抵抗として機能する素子は、ポリシリコンを用いて形成してもよい。

【 0 0 3 3 】

すなわち、抵抗として機能する素子を、通常の金属等を用いて形成しても原理的に問題はないが、単位面積当たりの抵抗値の小さい金属では、半導体基板上の配置上の制約、面積等の制約等を考慮すると問題がある。これに対し、単位面積あたりの抵抗値の大きいポリシリコンを用いて抵抗として機能する素子を形成することにより、当該素子を小型化することができ、発振回路全体の回路配置の自由度が増し、小型化を実現できる。加えて、ポリシリコンは光の外乱によるリークが少ない材料でもあるため、このような材料を用いて抵抗として機能する素子を形成することにより、光の外乱等に起因するリークの影響をより低減することができる。

【 0 0 3 4 】

(9) また、本発明の発振回路において、

前記信号路を直流的に分離する素子は、半導体基板上に被覆した絶縁層上に、電極層、絶縁層、電極層を被覆してなるDCカットコンデンサとして形成してもよい。

【 0 0 3 5 】

以上の構成とすることにより、半導体基板上の拡散領域を用いることなくDCカットコンデンサを生成することができるため、寄生容量の値を極めて小さくでき、従って、寄生容量の変動を極めて小さなものとすることができる。

【 0 0 3 6 】

(1 0) また、本発明の発振回路において、

前記信号路を直流的に分離する素子は、半導体基板の拡散領域上に絶縁層、電極層を被覆して形成されたDCカットコンデンサであり、前記拡散領域を前記インバータの入力側、前記電極層を前記信号路の入力端子側に接続するようにしてもよい。

【 0 0 3 7 】

このように、DCカットコンデンサを構成する電極層を信号路の入力端子側に接続し、拡散領域をインバータの入力側に接続する構成を採用することにより、DCカットコンデンサの寄生容量は、インバータの入力側に位置することとなる。従って、信号路の入力側電位が何らかの原因で変動し、DCカットコンデンサ

の寄生容量が変動したとしても、このDCカットコンデンサの寄生容量の変動が発振回路の発振周波数に影響を与えない回路構成とすることができる。

【 0 0 3 8 】

(1 1) また、本発明の発振回路において、

前記信号路の入力端子側に静電保護回路を設け、

前記静電保護回路は、前記信号路と所定の定電圧側との間に接続され、信号路に侵入する第 1 の極性の静電圧を直列に接続された複数の第 1 の半導体整流素子を介して選択的に前記定電圧側へバイパスさせる第 1 の保護回路と、

前記信号路と基準電位側との間に接続され、信号路に侵入する第 2 の極性の静電圧を直列に接続された複数の第 2 の半導体整流素子を介して選択的に前記基準電位側へバイパスさせる第 2 の保護回路と、

を含むように形成してもよい。

【 0 0 3 9 】

ここにおいて、前記第 1 及び第 2 の半導体整流素子としては、例えばダイオードや、バイポーラトランジスタ等を必要に応じて用いることができる。

【 0 0 4 0 】

本発明によれば、複数の半導体整流素子を直列に接続することにより、静電保護回路の寄生容量を実質的に低減することができ、これにより、より安定した周波数で発振可能な発振回路を実現できる。

【 0 0 4 1 】

(1 2) また、本発明の電子機器は、前記本発明の発振回路と、前記発振回路の出力に基づいて制御される機能部を有するように形成してもよい。

【 0 0 4 2 】

また、本発明に係る時計は、前記本発明に係る発振回路と、前記発振回路の出力に基づいて時刻表示をなす時刻表示部を有するように形成してもよい。

【 0 0 4 3 】

【発明の実施の形態】

次に、本発明の発振回路の好適な実施の形態を詳細に説明する。なお、前述した図 1、図 2 と対応する部材には、同一符号を付しその説明は省略する。

【 0 0 4 4 】

(第 1 の実施の形態)

図 3 には、第 1 の実施の形態に係る発振回路が示されている。

【 0 0 4 5 】

この発振回路は、振動源としての水晶振動子 1 0 と、この水晶振動子 1 0 と信号路を介して接続され発振駆動される主要回路部分 2 0 とを含む。

【 0 0 4 6 】

前記主要回路部分 2 0 は、半導体装置として形成される。具体的には、半導体基板上に一体的に形成され、その信号路の入出力端子 X i n、X o u t に前記水晶振動子 1 0 の両端が接続されている。

【 0 0 4 7 】

前記主要回路部分 2 0 は、水晶振動子 1 0 と入出力端子 X i n、X o u t を介して接続されたインバータ 2 2 と、フィードバック抵抗 2 4 と、インバータ 2 2 の入力側と信号路の入力端子 X i n との間に設けられ信号路を直流的に分離する素子としての D C カットコンデンサ 2 6 とを含む。

【 0 0 4 8 】

ところで、このような発振回路を用いて時計回路等を形成する場合には、例えば図 1 3 に示すように、その回路部分は水晶振動子 1 0 を除いて基本的には半導体装置である C - M O S - I C 3 0 0 として形成されており、発振回路の主要回路部分 2 0 を構成する C - M O S - I C 3 0 0 と水晶振動子 1 0 は、入出力端子 X i n、X o u t 及び配線 3 1 0 を介して接続されている。すなわち、水晶振動子 1 0 は、入出力端子 X i n、X o u t を介して C - M O S - I C 3 0 0 に外付けされている。従って、この入出力端子 X i n、X o u t に、光、湿度などを原因としてわずかなリークが発生したり、またサージ電圧が侵入して内部回路を破壊する恐れがある。

【 0 0 4 9 】

このため、主要回路部分 2 0 の入出力端子 X i n、X o u t 側の信号ラインには、それぞれ静電保護回路 4 0 - 1、4 0 - 2 が設けられ、外部から侵入したサージ電圧の主要回路部分 2 0 内部への侵入を防止している。

【 0 0 5 0 】

各静電保護回路 4 0 - 1、4 0 - 2 は、信号路と所定の定電圧 V_{reg} との間に接続され、信号路に侵入する第 1 の極性の静電圧を第 1 の半導体整流素子を介して選択的に前記定電圧 V_{reg} 側にバイパスさせる第 1 の保護回路 4 2、4 2 と、信号路と基準電位 V_{ss} 側との間に接続され、信号路に侵入する第 2 の極性の静電圧を第 2 の半導体整流素子を介して選択的に前記基準電位 V_{ss} 側へバイパスさせる第 2 の保護回路 4 4、4 4 とを含んで構成される。

【 0 0 5 1 】

前記第 1、第 2 の半導体整流素子 4 3、4 5 は、PN 接合型のダイオードを用いて構成されている。そして第 1 の半導体整流素子 4 3 を構成するダイオードは定電圧 V_{reg} 側に順方向接続され、第 2 の半導体整流素子 4 5 を構成するダイオードは、基準電位 V_{ss} 側に逆方向接続されている。

【 0 0 5 2 】

これにより、外部から侵入したマイナス極性や、プラス極性のサージ電圧は、前記各静電保護回路 4 0 - 1、4 0 - 2 を介してバイパスされ、主要回路部分 2 0 の内部への侵入が防止される。

【 0 0 5 3 】

ここにおいて、 C_{y2} 、 C_{y1} は、第 1 及び第 2 の半導体整流素子 4 3、4 5 としてのダイオードの寄生容量を表す。また、図中 C_g 、 C_d は、水晶振動子 1 0 の入力端子側の容量、出力端子側の容量をそれぞれ表す。さらに、図中 C_x は、DC カットコンデンサ 2 6 の寄生容量を表す。

【 0 0 5 4 】

本実施の形態の発振回路のように、回路内部に DC カットコンデンサ 2 6 を設けると、水晶振動子 1 0 の入力端子 X_{in} の電位はオープン状態に近く、入力端子電位が不安定になることは前述した。また、水晶振動子 1 0 の入力端子 X_{in} の電位が変動することにより、入力端子 X_{in} に接続されている寄生容量 C_{y1} 、 C_{y2} 、 C_x の各空乏層が変化し、容量も変化する。

【 0 0 5 5 】

従って、加湿や光等の外乱により水晶振動子 1 0 の入力端子 X_{in} にわずかな

リークが生じ、入力端子X i nの電位が変動すると、これら寄生容量も変化する。このように寄生容量が変化することにより、発振回路の発振周波数も変化するため、安定した発振を得ることが難しいという課題があった。

【 0 0 5 6 】

本実施の形態の発振回路は、水晶振動子10の入力端子X i n側と、電位の安定した回路部分とを抵抗として機能する素子を介して接続する電位安定化回路50を設けることにより、上記課題を解決することを可能とした。

【 0 0 5 7 】

ここにおいて、電位の安定した回路部分としては、定電圧V r e g側、基準電位側V s s、インバータ22の入力、出力側、振動子10の出力端子側、さらには半導体基板上に設けられた他の電子回路の電位の安定した回路部分などを、必要に応じて選択的に用いればよい。

【 0 0 5 8 】

本実施の形態では、抵抗として機能する素子として、抵抗52を用い、この抵抗52を、水晶振動子10の入力端子X i n側と、インバータ22の出力側との間に接続し、電位安定化回路50とする構成を採用している。

【 0 0 5 9 】

これにより、DCカットコンデンサ26を設けた場合でも、水晶振動子10の入力端子X i n側の電位がオープン状態になることがない。従って、例えば光、湿度などのわずかなリーク等により発振周波数変動することがなく、しかも水晶振動子10の入力端子X i nと電源間のリークにより発振停止が起こりにくい安定した発振回路を実現することができる。

【 0 0 6 0 】

ここにおいて、前記抵抗52の抵抗値は、以下の理由から、フィードバック抵抗24との合成抵抗が10～100MΩの範囲の値となるように設定することが好ましい。

【 0 0 6 1 】

例えば、図1、図2に示すような従来の発振回路では、フィードバック抵抗24の抵抗値を10～100MΩの範囲の値に設定することにより安定した発振が

得られることが確認されている。

【 0 0 6 2 】

図 3 に示す本実施の形態の発振回路では、抵抗 5 2 も、フィードバック抵抗の一部としても機能することとなる。このため、フィードバック抵抗 2 4 と、抵抗 5 2 との合成抵抗、すなわち両抵抗 2 4、5 2 を並列合成抵抗を、1 0 ～ 1 0 0 M Ω の範囲の値に設定することにより、安定発振が検出された発振回路と同様な発振が可能となる。

【 0 0 6 3 】

(第 2 の実施の形態)

図 4 には、本発明の発振回路の第 2 の実施の形態が示されている。なお図 3 に示す実施の形態と対応する部材に同一符号を付しその説明は省略する。

【 0 0 6 4 】

本実施の形態において、電位安定化回路 5 0 は、信号路の入力端子 X i n 側に、抵抗として機能する素子を介してバイアス電圧を印加し、入力端子電圧を安定させる構成を採用する。

【 0 0 6 5 】

ここにおいて、前述した抵抗として機能する素子としては、バイアス抵抗 6 0、6 2 が用いられる。一方のバイアス抵抗 6 0 は、入力端子 X i n 側と定電圧 V r e g 側との間に接続され、他方のバイアス抵抗 6 2 は、入力端子 X i n 側と基準電位 V s s 側との間に接続されている。

【 0 0 6 6 】

以上の構成を採用することにより、前記第 1 の実施の形態と同様の作用効果を奏することができる。

【 0 0 6 7 】

図 5 には、前記図 4 に示す第 2 の実施の形態の変形例が示されている。

【 0 0 6 8 】

図 4 に示す実施の形態では、抵抗として機能する素子としてバイアス抵抗 6 0、6 2 を用いる場合を例に取り説明したが、本実施の形態では、抵抗として機能する素子としてトランジスタを用いることを特徴とする。すなわち、トランジス

タの有する抵抗をバイアス抵抗として用いる構成を採用する。

【0069】

例えば、図5（A）に示す実施の形態においては、トランジスタのオン抵抗を用いてバイアス電圧を印加する構成を採用している。具体的には、バイアス抵抗60、62に代え、トランジスタ64、66を用い、これら両トランジスタ64、66が、常時オンするようにそのゲートに電圧を印加する構成を採用する。

【0070】

以上の構成を採用することにより、本実施の形態の電位安定化回路50は、両トランジスタ64、66のオン抵抗を用い、入力端子X_{in}にバイアス電圧を印加し、その電位を安定化させることができる。

【0071】

また、図5（B）は、バイアス抵抗60、62に代え、トランジスタ64、66のオフ抵抗を用い、入力端子X_{in}側にバイアス電圧を印加する構成を採用する。すなわち、両トランジスタ64、66がオフ状態となるように、そのゲートに電位を印加する回路構成を採用し、前記第2の実施の形態と同様に入力端子X_{in}側にバイアス電圧を印加する構成を採用する。

【0072】

また、図5（C）、（D）は、図4に示すバイアス抵抗60、62に代え、飽和接続されたトランジスタ68と、定電流源70を用い、バイアス電圧を入力端子X_{in}側に印加する構成を採用する。

【0073】

このように、必要に応じて図5（A）～（D）のいずれかのタイプの電位安定化回路50を用い、入力端子X_{in}側にバイアス電圧を印加し、その電位を安定化させることができる。

【0074】

（第3の実施の形態）

図6には、本発明に係る発振回路の第3の実施の形態が示されている。なお、前記各実施の形態と対応する部材には同一符号を付しその説明は省略する。

【0075】

本実施の形態の電位安定化回路 5 0 の特徴は、一端がインバータ 2 2 の出力側に接続されたフィードバック抵抗 2 4 の他端側を、インバータ 2 2 の入力側に代え、信号路の入力端子 X_{in} 側と接続し、入力端子 X_{in} 側の電位を安定化させる構成を採用したことにある。

【 0 0 7 6 】

このような構成を採用すると、インバータ 2 2 の入力側の電位が不安定になる恐れがあるため、インバータ 2 2 の入力側を、バイアス抵抗 6 0、6 2 を介して定電圧 V_{reg} 、基準電位 V_{ss} 側と接続する構成を採用している。

【 0 0 7 7 】

上記構成を採用することにより、本実施の形態の発振回路も、前記各実施の形態の発振回路と同様な作用効果を奏することができる。

【 0 0 7 8 】

図 7 には、図 6 に示す実施の形態の変形例が示されている。

【 0 0 7 9 】

本実施の形態では、このインバータ 2 2 を構成するトランジスタ 2 3 - 1、2 3 - 2 のゲートに、それぞれ個別の DC カットコンデンサ 2 6 - 1、2 6 - 2 が接続されている。

【 0 0 8 0 】

そして、トランジスタ 2 3 - 1 のゲートを、バイアス抵抗 6 0 を介して定電圧 V_{reg} 側に接続し、トランジスタ 2 3 - 2 のゲートをバイアス抵抗 6 2 を介して基準電位 V_{ss} 側へ接続している。

【 0 0 8 1 】

(第 4 の実施の形態)

図 8 には、本発明に係る発振回路の第 5 の実施の形態が示されている。なお前記各実施の形態と対応する部材には同一符号を付しその説明は省略する。

【 0 0 8 2 】

本実施の形態の発振回路においては、抵抗として機能する素子を DC カットコンデンサ 2 6 と並列に接続することにより、電位安定化回路 5 0 を形成することを特徴とする。ここでは、抵抗 7 4 を、DC カットコンデンサ 2 6 と並列に接続

する構成を採用している。

【 0 0 8 3 】

以上の構成を採用することにより、本実施の形態の発振回路は、前記各実施の形態と同様の作用効果を奏することができる。

【 0 0 8 4 】

ここにおいて、前記抵抗 7 4 の抵抗値は、フィードバック抵抗 2 4 の抵抗値より大きな値に設定することが好ましい。フィードバック抵抗 2 4 は、通常 1 0 ～ 1 0 0 M Ω の範囲の値に設定されているため、ここでは、抵抗 7 4 の抵抗値を、これより大きな 1 0 0 M Ω 以上の値に設定する。

【 0 0 8 5 】

(寄生容量を低減する実施の形態)

なお、前記各実施の形態では、入力端子 X i n 側の電位を安定化させることにより、光、湿度等のわずかなリーク等により発振周波数が変動することがなく、しかも水晶振動子の入力端子 X i n と電源間のリークによる発振停止が起こりにくい安定した動作を行う発振回路を実現するための構成を説明した。

【 0 0 8 6 】

次に、水晶振動子 1 0 の入力端子 X i n 側に付加される寄生容量を削除または減らすことにより、光、湿度等のわずかなリークによる発振周波数の変化を抑制するための構成について説明する。

【 0 0 8 7 】

図 9 には、その一例が示されている。

【 0 0 8 8 】

本実施の形態の発振回路では、静電保護回路 4 0 - 1 を構成する第 1 及び第 2 の保護回路 4 2、4 4 の寄生容量を減らすための構成が示されている。

【 0 0 8 9 】

第 1 の保護回路 4 2 は、第 1 の半導体整流素子としてのダイオード 4 3 を複数個直列に接続することにより各ダイオード 4 3 - 1 ～ 4 3 - n の寄生容量 C y 2 ～ C y 2 n を直列に接続する構成とし、その寄生容量 C y 2 ～ C y 2 n の合計容量を小さくする。同様に第 2 の保護回路 4 4 も、第 2 の半導体整流素子としての

ダイオード45を複数個直列に接続することにより各ダイオード45-1~45-nの寄生容量 $C_{y1} \sim C_{y1n}$ を直列に接続する構成とし、寄生容量 $C_{y1} \sim C_{y1n}$ の合計容量を小さくする。

【0090】

上記構成を採用することにより、入力端子 X_{in} に付加される寄生容量を減らすことができ、発振周波数 f_s の変化をより小さくすることができる。

【0091】

図10、図11には、入力端子 X_{in} に付加するDCカットコンデンサ26の寄生容量 C_x を減らすことまたは削除することにより、発振周波数の変化をより小さなものとするための構成が示されている。

【0092】

図10に示す実施の形態において、DCカットコンデンサ26は、半導体基板80の拡散領域82上に、絶縁層である SiO_2 層84、電極層であるポリシリコン層86を被覆して形成される。

【0093】

そして、DCカットコンデンサ26の一方の電極である拡散領域82を、インバータ22の入力側に接続し、他方の電極であるポリシリコン層86を信号路の入力端子 X_{in} 側に接続する構成を採用する。

【0094】

以上の構成を採用することにより、DCカットコンデンサ26の寄生容量 C_x は、インバータ26の入力側に形成されることになり、その分入力端子 X_{in} 側に付加された寄生容量を低減し、発振周波数の安定化を図ることが可能となる。

【0095】

すなわち、図10に示すように構成されたDCカットコンデンサ26において、半導体基板は基準電位 V_{ss} に接続されている。従って、拡散領域と基準電位 V_{ss} との間に寄生容量 C_x が生ずる。

【0096】

従来の発振回路では、DCカットコンデンサ26の一方の電極である拡散領域82を、信号路の入力端子 X_{in} 側に接続していたため、例えば図3~図8等に

示すように、DCカットコンデンサ26の寄生容量 C_x は入力端子 X_{in} 側に付加されることになる。

【0097】

これに対し、本実施の形態では、DCカットコンデンサ26の一方の電極である拡散領域82を、インバータ22側と接続することにより、この寄生容量 C_x は入力端子 X_{in} 側ではなく、インバータ22の入力側に付加されることになり、その分、入力端子 X_{in} 側に付加される寄生容量を低減し、より安定した発振周波数で動作する発振回路を実現することが可能となる。

【0098】

図11には、発振回路で用いられるDCカットコンデンサ26の他の実施の形態が示されている。

【0099】

本実施の形態のDCカットコンデンサ26は、半導体基板80上に、絶縁層である SiO_2 層90を被覆し、この SiO_2 層90上に、電極層であるポリシリコン層92、絶縁層である SiO_2 層94、電極層であるアルミ層96を被覆して形成される。

【0100】

このようにして形成されたDCカットコンデンサ26では、一方の電極層として機能するポリシリコン層92と、基準電位 V_{ss} に接続された半導体基板80との間に寄生容量 C_x が発生するが、この寄生容量 C_x は、図10に示す寄生容量のように空乏層の量で容量が決まる寄生容量ではないため、電位変動による容量変化はない。

【0101】

従って、本実施の形態のDCカットコンデンサ26は、水晶振動子10の入力端子 X_{in} の電位が変動しても、その寄生容量が変化することはないため、この面からも発振周波数の変動をより低減することは可能となる。

【0102】

なお、前記各実施の形態に係る発振回路は、前述したように光、湿度等のわずかなリークにより発振周波数が変動することではなく、しかも入力端子 X_{in} と電

源間のリークによる発振停止が起こりにくい安定した動作が担保された発振回路であるため、小型でしかも正確な発振周波数が要求される各種電子機器や、時計回路用の発振回路として好適なものとなる。すなわち、本実施の形態に係る発振回路を用いて、各種電子機器や、時計回路を構成することにより、小型で精度の高い電子機器及び時計回路を実現することができる。例えば、本実施の形態に係る発振回路と、前記発振回路の出力に基づいて制御される機能部を有する電子機器として形成してもよく、本実施の形態に係る発振回路と、前記発振回路の出力に基づいて時刻表示をなす時刻表示部を有する時計として形成してもよい。

【 0 1 0 3 】

なお、本発明は前記実施の形態に限定されるものではなく、本発明の要旨の範囲内で各種の変形実施が可能である。

【 0 1 0 4 】

例えば、図 4、図 5 に示す実施例においては、電位安定化回路 5 0 として、抵抗として機能する素子を用いて分圧回路を構成し、この分圧回路の分圧出力を信号路の入力端子 X_{in} 側にバイアス電圧として印加し、入力端子電圧を安定させる構成のものを例にとり説明した。しかし、本発明はこれに限らず、図 1 2 に示すように抵抗として機能する素子を用い、入力端子 X_{in} 側を定電圧 V_{reg} 側及び基準電位 V_{ss} 側の一方と接続し、入力端子 X_{in} の電位を安定化させる構成を採用してもよい。

【 0 1 0 5 】

例えば、図 1 2 (A) (B) に示すように、抵抗 6 0、6 2 のいずれか一方を用い、入力端子 X_{in} 側を定電圧 V_{reg} 側及び基準電位 V_{ss} 側の一方と接続し、入力端子 X_{in} の電位を安定化させる構成を採用してもよい。

【 0 1 0 6 】

また、図 1 2 (C) に示すように、常時オンするようにそのゲートに電圧を印加する構成のトランジスタ 6 4、6 6 のいずれか一方を用い、入力端子 X_{in} 側を定電圧 V_{reg} 側及び基準電位 V_{ss} 側の一方と接続し、入力端子 X_{in} の電位を安定化させる構成を採用してもよい。

【 0 1 0 7 】

また、図 1 2 (D) に示すように、常時オフするようにそのゲートに電圧を印加する構成のトランジスタ 6 4、6 6 のいずれか一方を用い、入力端子 X i n 側を定電圧 V r e g 側及び基準電位 V s s 側の一方と接続し、入力端子 X i n の電位を安定化させる構成を採用してもよい。

【図面の簡単な説明】

【図 1】 D C カットコンデンサを用いない従来の発振回路の説明図である。

【図 2】 D C カットコンデンサを用いた従来の発振回路の説明図である。

【図 3】 本発明の第 1 の実施の形態の発振回路の説明図である。

【図 4】 本発明の第 2 の実施の形態の発振回路の説明図である。

【図 5】 図 4 に示す第 2 の実施の形態の発振回路の変形例であり、同図 (A) は、トランジスタのオン抵抗を利用した電位安定化回路を使用した発振回路、同図 (B) は、トランジスタのオフ抵抗を利用した電位安定化回路を用いた発振回路、同図 (C)、(D) は、トランジスタの飽和接続と定電流源を利用した電位安定化回路を使用した発振回路の説明図である。

【図 6】 本発明の第 3 の実施の形態の発振回路の説明図である。

【図 7】 図 6 に示す第 3 の実施の形態の発振回路の変形例の説明図である。

【図 8】 本発明の第 4 の実施の形態の発振回路の説明図である。

【図 9】 発振回路に用いられる静電保護回路の説明図である。

【図 1 0】 発振回路に用いられる D C カットコンデンサの一例を示す説明図である。

【図 1 1】 発振回路に用いられる D C カットコンデンサの他の一例を示す説明図である。

【図 1 2】 図 4、図 5 の実施の形態の変形例の説明図である。

【図 1 3】 水晶振動子と発振回路主要部を構成する C - M O S - I C の配置の説明図である。

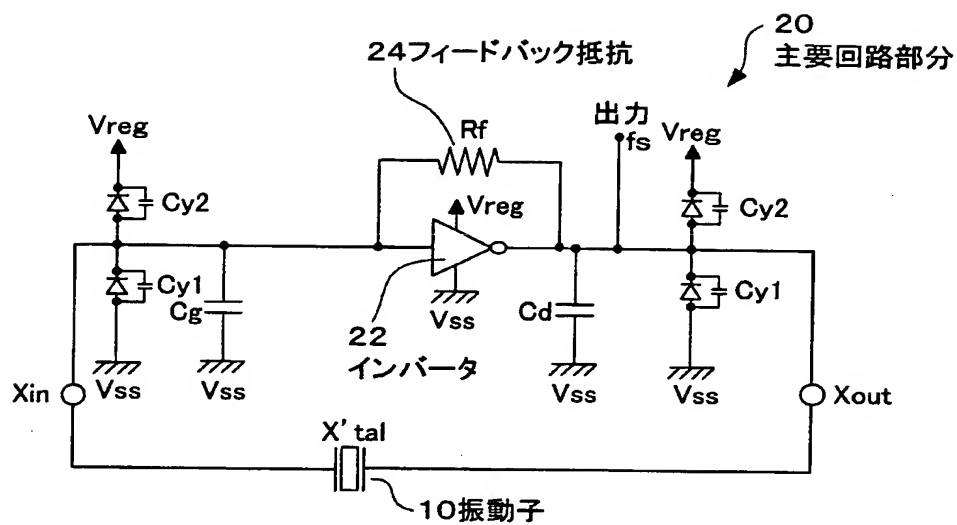
【符号の説明】

1 0 発振源としての水晶振動子、 2 0 主要回路部分、 2 2 インバータ

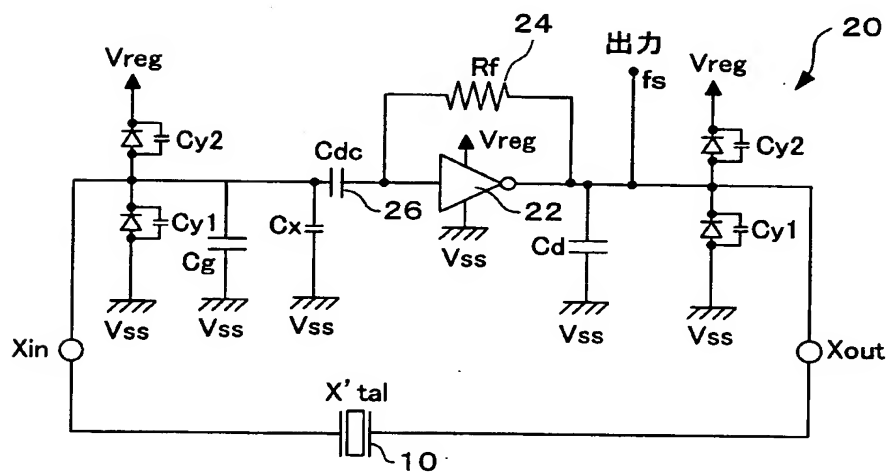
2 4 フィードバック抵抗、 2 6 D C カットコンデンサ、
4 0 - 1、4 0 - 2 静電保護回路、 4 2 第 1 の保護回路、
4 4 第 2 の保護回路、 5 0 電位安定化回路、 5 2 抵抗、
6 0、6 2 バイアス抵抗、
6 4、6 6 抵抗として機能する素子としてのトランジスタ、
7 4 抵抗、 8 0 半導体基板、 8 2 拡散領域、 8 4 SiO_2 層、
8 6 ポリシリコン層、 9 0 SiO_2 層、 9 2 ポリシリコン層、
9 4 SiO_2 層、 9 6 アルミ層

【書類名】 図面

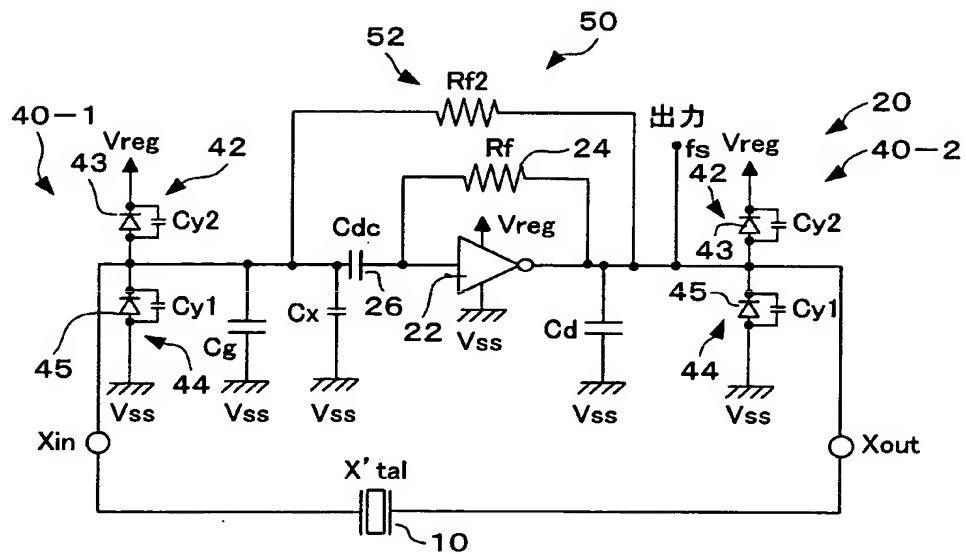
【図 1】



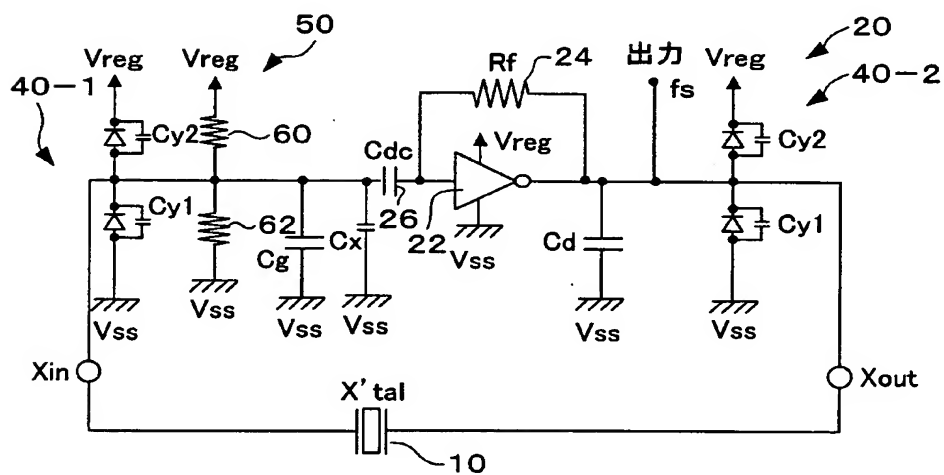
【圖 2】



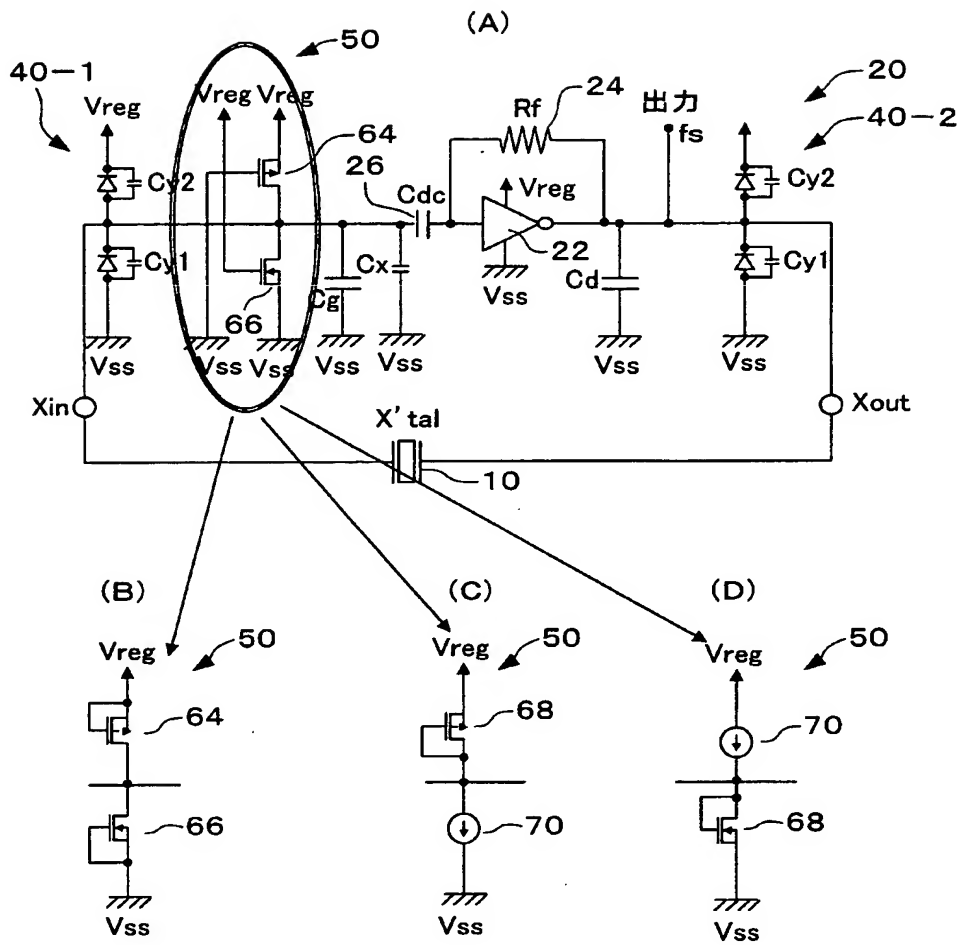
【图 3】



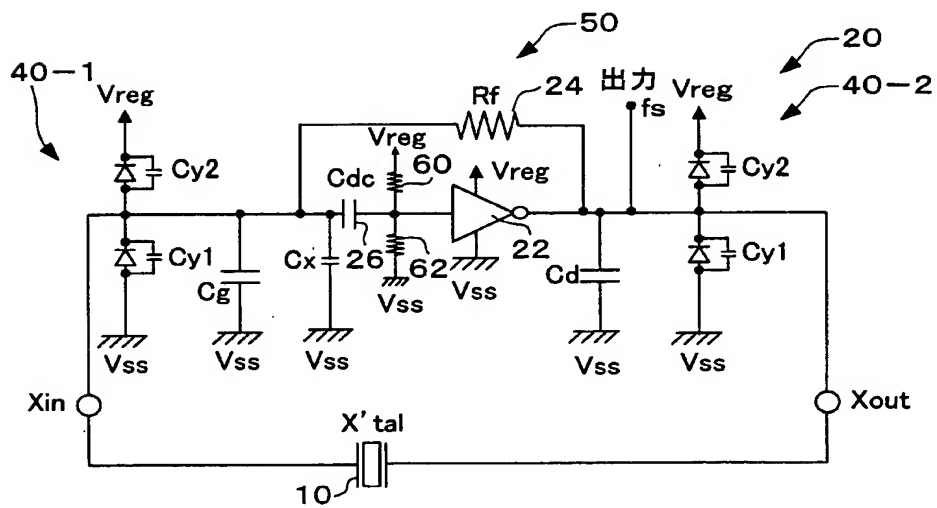
【図 4】



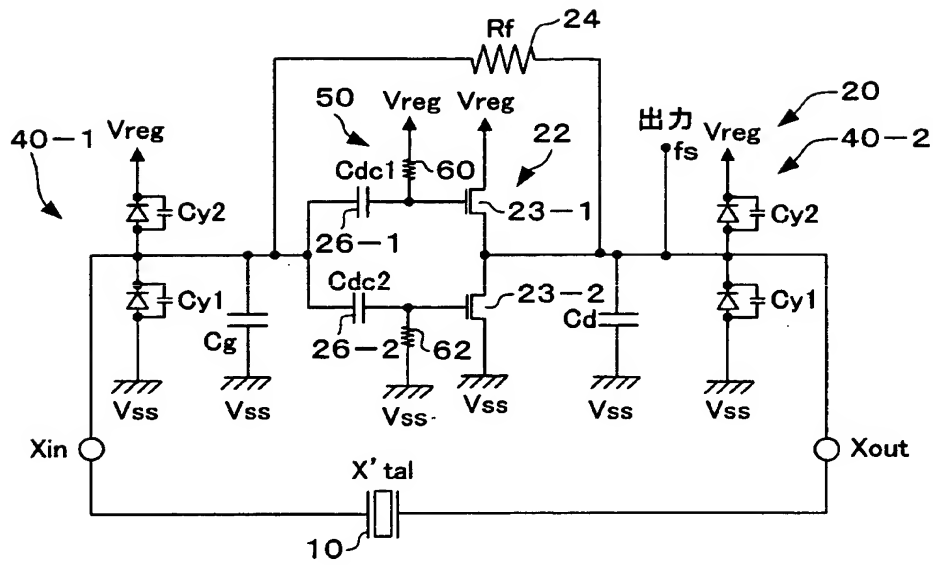
【図 5】



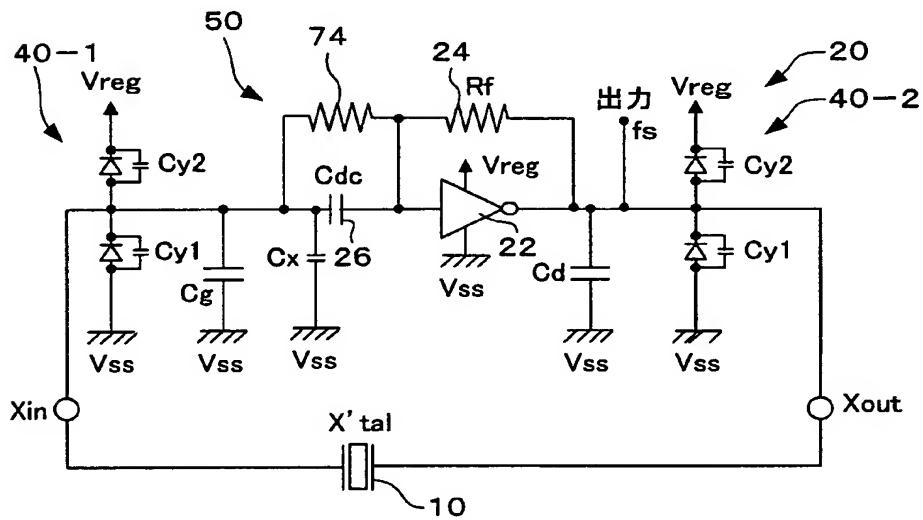
【図 6】



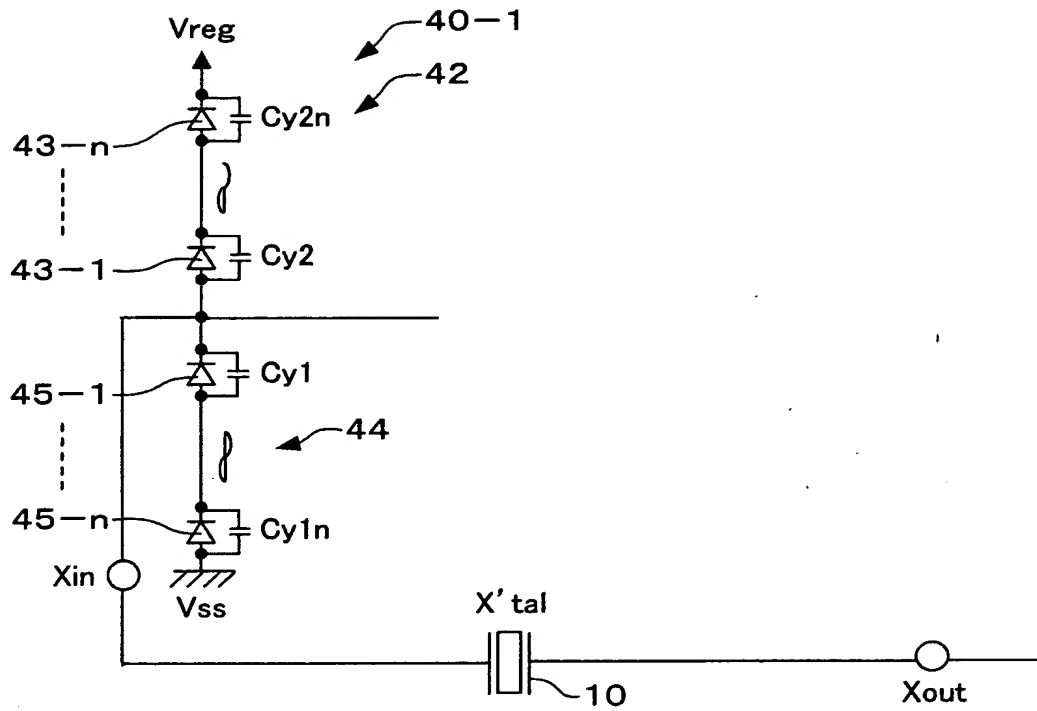
【図 7】



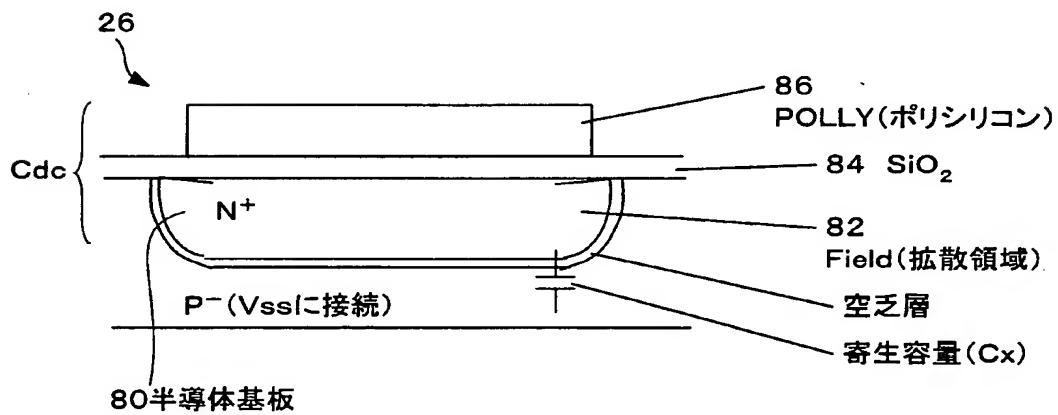
【図 8】



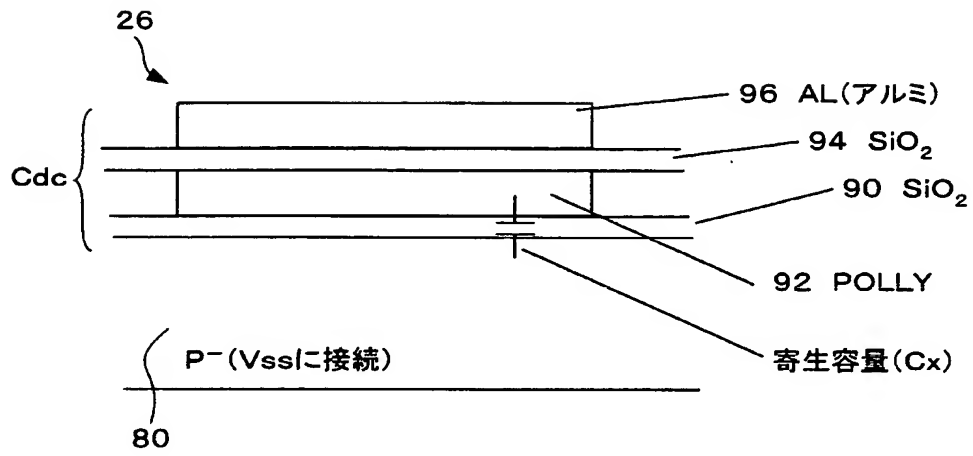
【図 9】



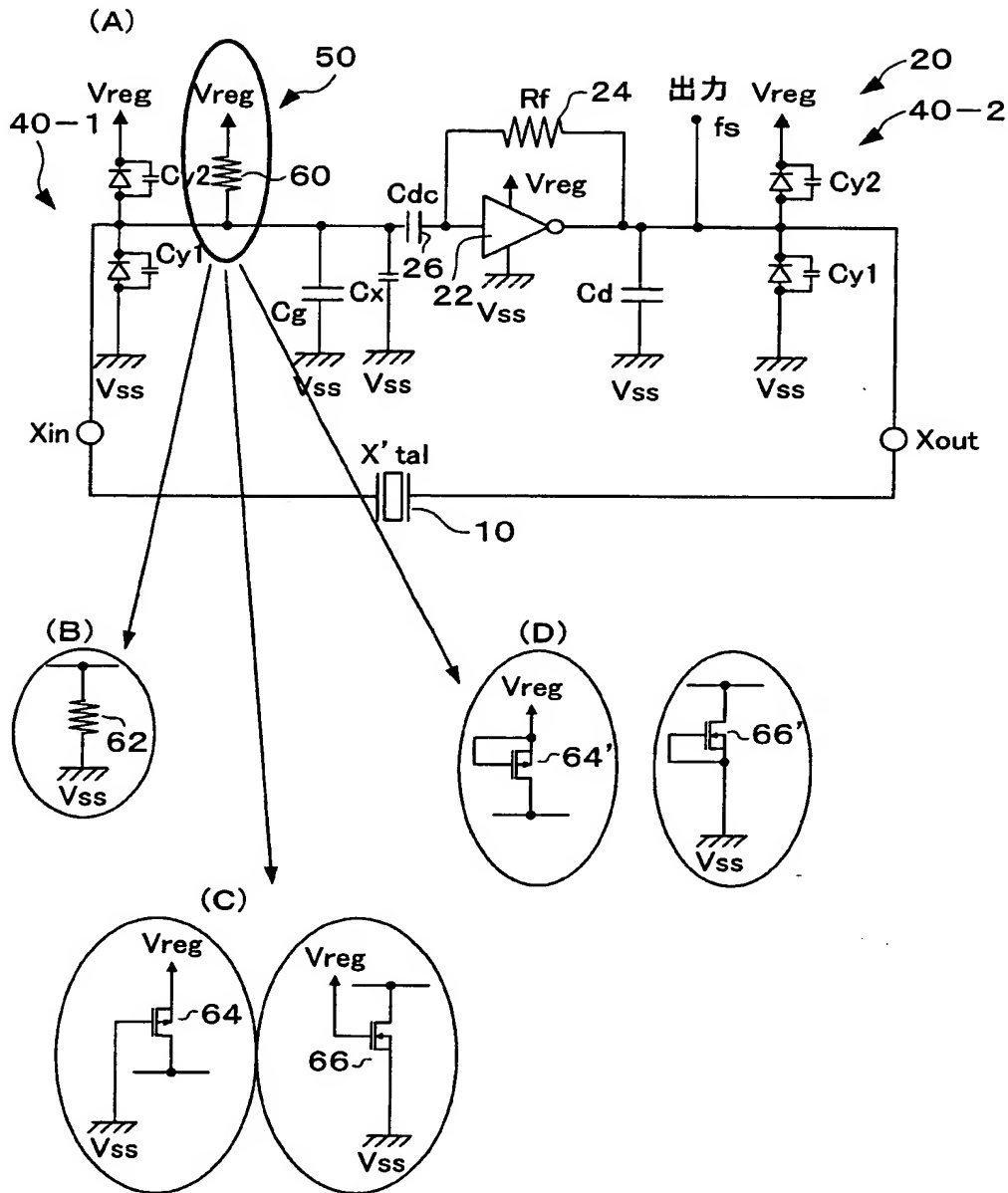
【図 10】



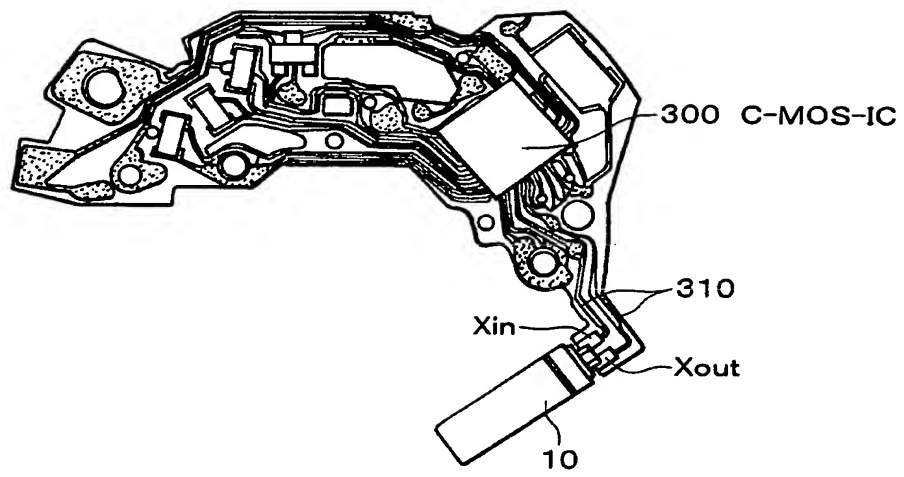
【図 11】



【図 12】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 安定して発振することができ、しかも発振周波数の変動の少ない発振回路、電子機器、時計を実現すること。

【解決手段】 水晶振動子 1 0 と、前記水晶振動子 1 0 と信号路を介して接続され発振駆動される主要回路部分 2 0 とを有する発振回路である。

前記主要回路部分 2 0 は、前記水晶振動子 1 0 と信号路を介して接続されたインバータ 2 2 の入力側と前記信号路の入力端子 X i n との間の信号路を直流的に分離する D C カットコンデンサ 2 6 が設けられている。そして、前記信号路の入力端子 X i n とインバータ 2 2 の出力側とを抵抗素子 5 2 を介して接続する電位安定化回路 5 0 が設けられている。

【選択図】 図 3

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 3 - 1 4 2 1 9 6
受付番号	5 0 3 0 0 8 3 6 7 0 2
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 5 月 2 3 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 T M ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 T M ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 T M ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	大渕 美千栄

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 3 6 9]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社